

MEMORY MANAGING DEVICE AND ITS METHOD

Patent Number: JP2000284996

Publication date: 2000-10-13

Inventor(s): OHARA MINORU; TAKAYAMA YUJI

Applicant(s): TOSHIBA CORP.; TOSHIBA COMPUT ENG CORP

Requested Patent: JP2000284996

Application Number: JP19990094326 19990331

Priority Number(s):

IPC Classification: G06F12/00

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To operate the writing of data in a memory device at high speed without necessitating any large buffer.

SOLUTION: This device is provided with a host system 12 for performing access such as data writing in or reading from a memory device 11 such as a flash memory, a detection table 13 in which when a memory space on the memory device 11 is divided into plural zones in a prescribed size, assigned blocks and non-assigned blocks are identified in each divided zone, a management table 14 in which the detection table 13 is referred to and the prescribed zone is selected at the time of the data writing in the memory device 11, and the physical address and logical address of each block in the selected zone are generated so as to be made correspond to each other, and a control part 15 which recognizes and executes the writing operation or reading operation requested by the host system 12.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-284996

(P2000-284996A)

(43)公開日 平成12年10月13日 (2000.10.13)

(51)Int.Cl.⁷

G 0 6 F 12/00

識別記号

5 1 4

F I

G 0 6 F 12/00

テーマコード(参考)

5 1 4 M 5 B 0 8 2

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21)出願番号 特願平11-94326

(22)出願日 平成11年3月31日 (1999.3.31)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221052

東芝コンピュータエンジニアリング株式会
社

東京都青梅市新町3丁目3番地の1

(72)発明者 大原 稔

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

(74)代理人 100077849

弁理士 須山 佐一

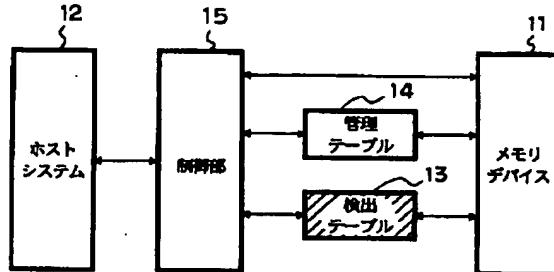
最終頁に続く

(54)【発明の名称】 メモリ管理装置及びメモリ管理方法

(57)【要約】

【課題】 大きなバッファを必要とすることなく、高速でメモリデバイスへのデータの書き込みを行う。

【解決手段】 フラッシュメモリ等のメモリデバイス11へのデータ書き込みや読み出し等のアクセスを行うためのホストシステム12と、メモリデバイス11上のメモリ空間が所定サイズの複数のゾーンに分割され、分割されたゾーン毎にアサインブロックと未アサインブロックとが識別された検出テーブル13と、メモリデバイス11へのデータライト時等に、検出テーブル13が参照されつつ所定のゾーンが選択され、選択されたゾーン中の個々のブロックの物理アドレスと論理アドレスとが対応付けられて生成される管理テーブル14と、ホストシステム12が要求する書き込み動作、又は読み出し動作等を認識して実行する制御部15とを具備するメモリ管理装置を提供する。



【特許請求の範囲】

【請求項1】 メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割し該ブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成する手段と、

前記メモリデバイスへのアクセス時に前記生成された識別テーブルを参照し所定のブロック群を選択するとともに、選択した該ブロック群の中の個々のブロックの物理アドレスと論理アドレスとを対応付けるための変換テーブルを生成する手段と、

前記生成された変換テーブルを参照しアクセスすべき論理アドレスに対応する物理アドレスを取得する手段とを具備することを特徴とするメモリ管理装置。

【請求項2】 メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割し該ブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成する手段と、

前記メモリデバイスへのデータライト時に前記生成された識別テーブルを参照し未使用ブロックの在るブロック群を選択するとともに、選択した該ブロック群の中の個々の物理アドレスと論理アドレスとを対応付けるための変換テーブルを生成する手段と、

前記生成された変換テーブルを参照し未使用ブロックとなる論理アドレスに対応する物理アドレスを取得する手段とを具備することを特徴とするメモリ管理装置。

【請求項3】 メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割し該ブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成する段階と、

前記メモリデバイスへのアクセス時に前記生成された識別テーブルを参照し所定のブロック群を選択するとともに、選択した該ブロック群の中の個々のブロックの物理アドレスと論理アドレスとを対応付けるための変換テーブルを生成する段階と、

前記生成された変換テーブルを参照しアクセスすべき論理アドレスに対応する物理アドレスを取得する段階とを有することを特徴とするメモリ管理方法。

【請求項4】 メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割し該ブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成する段階と、

前記メモリデバイスへのデータライト時に前記生成された識別テーブルを参照し未使用ブロックの在るブロック群を選択するとともに、選択した該ブロック群の中の個々の物理アドレスと論理アドレスとを対応付けるための変換テーブルを生成する段階と、

前記生成された変換テーブルを参照し未使用ブロックとなる論理アドレスに対応する物理アドレスを取得する段階とを有することを特徴とするメモリ管理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリデバイス等に対しデータの書き込み又は読み出しを行うためのメモリ管理装置及びメモリ管理方法に関する。

【0002】

【従来の技術】従来、フラッシュメモリ等の半導体メモリデバイス（以下、メモリデバイスという）からのデータの読み出しが、一般に、バイト単位で行われているが、このメモリデバイスへのデータの書き込みは、一定量のデータ単位（以下、ブロックという）で行われることがある。この場合、メモリデバイスの特定のアドレスのブロックの書き換えが繰り返されると、その特定のブロックが消耗し、メモリデバイスが破損する場合があるので、この防御策として、ホストシステムに対応する論理アドレスとメモリデバイス固有の物理アドレスとの関係を動的に変化させ、特定のブロックに書き換えが集中することを防いでいる。

【0003】図4に、この論理・物理アドレス変換方法の一例を示す。この変換方法、つまりメモリ管理方法は、メモリデバイス50のデータ書き込み単位であるブロック51に、ブロック情報用のデータ領域52を付加し、このデータ領域52にブロック51に対応した論理アドレス53を設定する。そして、ホストシステムの起動時に、このデータを読み出し、物理アドレス54と論理アドレス53とを関連付けた管理テーブル55を作成するとともに、データアクセス時に、この管理テーブル55を参照して、論理・物理アドレス変換を行う。

【0004】そして、データ書き込みの際に、同じブロックを二重に割り当てるようにするため、書き込みを行う前にその論理ブロックが物理ブロックに割り当てられていない未アサインブロックであるか、割り当てられているアサインブロックであるかの判定を行う必要がある。メモリデバイスの特定のブロック51が未アサインブロック（ここでは、物理アドレス4及び物理アドレス6に対応するブロックが未アサインブロックである）である場合、管理テーブル55の論理アドレス54に対応する物理アドレス51に“FF”（ここでは8ビットの情報で構成）が書き込まれる。ホストシステムは、管理テーブル55の物理アドレス51の情報を確認し、未アサインブロックの検出を行う。

【0005】

【発明が解決しようとする課題】しかしながら、上述した従来のメモリ管理方法では、メモリデバイスの未アサインブロックの検出を行う場合、メモリデバイスの全ブロックに対応した管理テーブルを作成する必要がある。この方法を採用する場合、ブロック数（容量）が増加すると、それに伴い、管理テーブルの情報量も増加してしまう。このため、管理テーブルを作成するために多くのバッファが必要になるといった問題が発生する。

【0006】そこで、この管理テーブルを小さくする方

法として、図5に示すように、メモリデバイスを複数のゾーンに分割する方法がある。この方法は、例えば4つのブロックを1つのまとまりとしたゾーンを設定するものである。したがって、ブロックは、メモリデバイス上のアドレスにより、複数のゾーン56に分割される。論理・物理アドレス変換も、各ゾーン内のみで行われる。この方法で作成される管理テーブル57は、メモリデバイスのブロック単位で、論理・物理アドレス変換用の空間を持ち、メモリデバイスの1ゾーン分の変換領域を有する。

【0007】したがって、このメモリ管理方法は、メモリデバイスの未アサインブロックの検出を行う場合、メモリデバイスを複数のゾーンで分割し1ゾーン分の管理テーブルのみを作成するため、管理テーブルのサイズを小さくすることができる。

【0008】しかしながら、図5に示すように、システムが最初に作成したゾーン（ここではゾーン0）の管理テーブル57の中に未アサインブロックない場合、最初に作成したゾーンと異なる新たなゾーンの管理テーブルを再度作成する必要があるので、未アサインブロックの検出に時間が掛かってしまうという問題があった。

【0009】本発明は、このような課題を解決するためになされたもので、大きなバッファを必要とすることなく、高速でメモリデバイスへのデータの書き込み等が行えるメモリ管理装置又はメモリ管理方法を提供する。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明のメモリ管理装置は、請求項1に記載されているように、メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割し該ブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成する手段と、前記メモリデバイスへのアクセス時に前記生成された識別テーブルを参照し所定のブロック群を選択するとともに、選択された該ブロック群の中の個々のブロックの物理アドレスと論理アドレスとを対応付けるための変換テーブルを生成する手段と、前記生成された変換テーブルを参照しアクセスすべき論理アドレスに対応する物理アドレスを取得する手段とを具備することを特徴とする。

【0011】また、本発明のメモリ管理装置は、請求項2に記載されているように、メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割し該ブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成する手段と、前記メモリデバイスへのデータライト時に前記生成された識別テーブルを参照し未使用ブロックの在るブロック群を選択するとともに、選択された該ブロック群の中の個々の物理アドレスと論理アドレスとを対応付けるための変換テーブルを生成する手段と、前記生成された変換テーブルを参照し未使用ブロックとなる論理アドレスに対応する物理アドレ

スを取得する手段とを具備することを特徴とする。

【0012】さらに、本発明のメモリ管理方法は、請求項3に記載されているように、メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割し該ブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成する段階と、前記メモリデバイスへのアクセス時に前記生成された識別テーブルを参照し所定のブロック群を選択するとともに、選択した該ブロック群の中の個々のブロックの物理アドレスと論理アドレスとを対応付けるための変換テーブルを生成する段階と、前記生成された変換テーブルを参照しアクセスすべき論理アドレスに対応する物理アドレスを取得する段階とを有することを特徴とする。

【0013】また、本発明のメモリ管理方法は、請求項4に記載されているように、メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割し該ブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成する段階と、前記メモリデバイスへのデータライト時に前記生成された識別テーブルを参照し未使用ブロックの在るブロック群を選択するとともに、選択した該ブロック群の中の個々の物理アドレスと論理アドレスとを対応付けるための変換テーブルを生成する段階と、前記生成された変換テーブルを参照し未使用ブロックとなる論理アドレスに対応する物理アドレスを取得する段階とを有することを特徴とする。

【0014】本発明のメモリ管理装置又はメモリ管理方法によれば、例えば、ホストシステムの起動時等に、メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割しブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成することができる。さらに、本発明は、メモリデバイスへのデータライト時等に、識別テーブルが参照され未使用ブロックの在るブロック群が選択されるとともに、選択されたブロック群の中の個々の物理アドレスと論理アドレスとを対応付けるための変換テーブルが生成される。

【0015】したがって、本発明によれば、この生成された変換テーブルを参照して未使用ブロックの論理アドレスに対応する物理アドレスを迅速に取得できるとともに、未使用ブロックの在るブロック群の変換テーブルのみを生成できるので、大きなバッファを必要とすることなく、高速でメモリデバイスへデータの書き込み等を実行することができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づき説明する。

【0017】図1は本発明の実施形態にかかるメモリ管理装置を概略的に示すブロック図である。

【0018】同図に示すように、このメモリ管理装置は、フラッシュメモリ等のメモリデバイス11へデータの書き込みを行う場合に有用なものであり、メモリデバイ

ス11からのデータの読み出しやメモリデバイス11へのデータの書き込み等のアクセスを行うためのホストシステム12と、メモリデバイス11上のメモリ空間が所定サイズの複数のゾーンに分割され、分割されたゾーン毎にアサインブロックと未アサインブロックとが識別された検出テーブル13と、メモリデバイス11へのデータライト時等に、検出テーブル13が参照されつつ所定のゾーンが選択され、選択されたゾーンの中の個々のブロックの物理アドレスと論理アドレスとが対応付けられて生成される管理テーブル14と、ホストシステム12から要求される書き込み動作、又は読み出し動作等を認識して実行する制御部15とから構成されている。

【0019】検出テーブル13は、図2に示すように、メモリデバイス11の4ブロックが1ゾーンとして構成されており、メモリデバイス11の未アサインブロック及びアサインブロックの管理をブロック単位で行う。検出テーブル13には、メモリデバイス11のブロックがアサインブロックである場合には“1”、ブロックが未アサインブロックである場合には“0”的フラグが立てられている。したがって、ホストシステム12は、検出テーブル13にアクセスすることで、そのブロックが未アサインブロックであるか否かを認識することができる。これにより、1ブロック当たりの管理を例えば8ビット等の多数ビットで管理する必要はなく、1ブロック当たり1ビットにて管理されることになり、小さなバッファでブロック管理が行える。

【0020】次に、このように構成されたメモリ管理装置により、実際にメモリデバイス11へデータの書き込みが行われる場合について説明する。

【0021】制御部15がホストシステム12からのデータの書き込み要求を認識すると、制御部15は、検出テーブル13にアクセスを開始する。制御部15は、図2に示すように、検出テーブル13より例えばゾーン1のブロック0とブロック2とが未アサインブロックであることを検出すると、図3に示すように、ゾーン1の中の個々の物理アドレスと論理アドレスとを対応付ける管理テーブル14を生成する。制御部15は、生成された管理テーブル14を参照して未アサインブロックであるブロック0とブロック2の論理アドレスに対応する物理アドレスを取得し、取得したこのアドレスに基づいてデータの書き込みを行う。

【0022】このように、本実施形態のメモリ管理装置によれば、管理装置本体の起動時等に、メモリデバイス11上のメモリ空間を所定サイズの複数のゾーンに分割し、分割したゾーン毎にアサインブロックと未アサインブロックとを識別した検出テーブル13を生成することができる。さらに、本実施形態のメモリ管理装置は、メモリデバイス11への例えデータライト時等に、検出テーブル13が参照され未アサインブロックの在るゾーンが選択されるとともに、選択されたゾーンの中の個々

の物理アドレスと論理アドレスとを対応付けるための管理テーブル14が生成される。

【0023】したがって、本実施形態のメモリ管理装置によれば、この生成された管理テーブル14を参照して未アサインブロックの論理アドレスに対応する物理アドレスを迅速に取得できるとともに、未アサインブロックの在るゾーンの変換テーブルのみを生成できるので、大きなバッファを必要とすることなく、しかも高速でメモリデバイス11へデータの書き込みを実行することができる。

【0024】なお、本実施形態のメモリ管理装置によりメモリデバイス11よりデータ読み出しを行う場合においては、制御部15がホストシステム12からのデータの読み出し要求を認識すると、制御部15は、検出テーブル13を介して管理テーブル14をアクセスすることにより、ホストシステム12から入力される論理アドレスに対応するメモリデバイス11固有の物理アドレスを認識し、メモリデバイス11よりデータの読み出しが行うことができる。

【0025】

【発明の効果】以上説明したように、本発明のメモリ管理装置又はメモリ管理方法によれば、例えば、管理装置本体の起動時等に、メモリデバイス上のメモリ空間を所定サイズの複数のブロック群に分割しブロック群毎に使用済みブロックと未使用ブロックとを識別した識別テーブルを生成することができる。さらに、本発明は、メモリデバイスへのデータライト時等に、識別テーブルが参照され未使用ブロックの在るブロック群が選択されるとともに、選択されたブロック群の中の個々の物理アドレスと論理アドレスとを対応付けるための変換テーブルが生成される。

【0026】したがって、本発明によれば、この生成された変換テーブルを参照して未使用ブロックの論理アドレスに対応する物理アドレスを迅速に取得できるとともに、未使用ブロックの在るブロック群の変換テーブルのみを生成できるので、バッファの使用を極力抑えているにも拘らず、高速でメモリデバイスへデータの書き込みを行うことができる。

【図面の簡単な説明】

【図1】本発明の実施形態にかかるメモリ管理装置を概略的に示すブロック図。

【図2】図1のメモリ管理装置によって生成される検出テーブルを示す図。

【図3】図1のメモリ管理装置によって生成される管理テーブルを示す図。

【図4】従来のメモリ管理装置によって生成される管理テーブルを示す図。

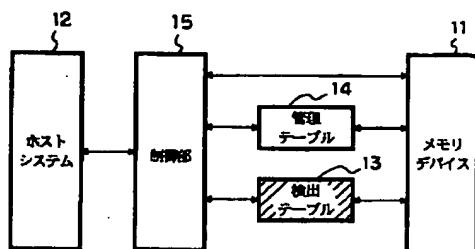
【図5】従来のメモリ管理装置によって生成される他の管理テーブルを示す図。

【符号の説明】

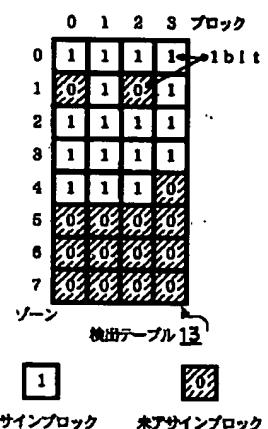
1 1 ……メモリデバイス
1 2 ……ホストシステム
1 3 ……検出テーブル

1 4 ……管理テーブル
1 5 ……制御部

【図 1】



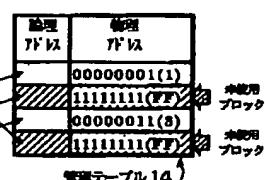
【図 2】



【図 3】

ゾ→	物理アドレス	ブロック	テ→ 領域	物理アドレス
ゾ 0	0	block 0(Data)		2
	1	block 1(Data)		3
	2	block 2(Data)		1
	3	block 3(Data)		0
ゾ 1	0	block 0(未使用)		3
	1	block 1(Data)		0
	2	block 2(未使用)		1
	3	block 3(Data)		2
⋮	⋮	⋮	⋮	⋮

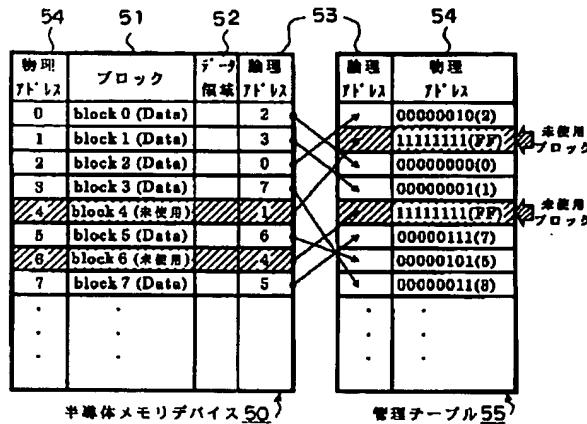
半導体メモリデバイス



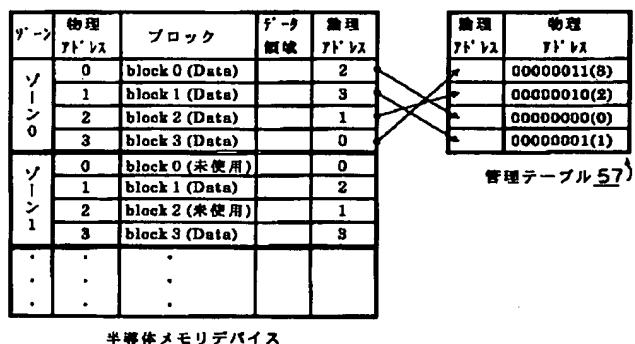
管理テーブル 14

(6)

【図4】



【図5】



フロントページの続き

(72)発明者 高山 雄二

F ターム(参考) 5B082 CA02 CA08

東京都青梅市新町3丁目3番地の1 東芝
コンピュータエンジニアリング株式会社内